

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Eiji KAMIYA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE AND METHOD OF MANUFACTURING
THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-199915	July 9, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 9日

出 願 番 号

Application Number:

特願2002-199915

[ST.10/C]:

[JP2002-199915]

出 願 人

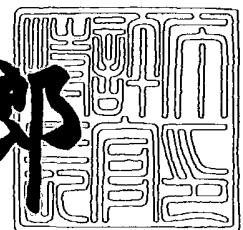
Applicant(s):

株式会社東芝

2003年 6月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



【書類名】 特許願

【整理番号】 A000106860

【提出日】 平成14年 7月 9日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 不揮発性半導体メモリ装置およびその製造方法

【請求項の数】 19

【発明者】

【住所又は居所】 三重県四日市市山之一色町 8 0 0 番地 株式会社東芝四
日市工場内

【氏名】 神谷 栄二

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体メモリ装置およびその製造方法

【特許請求の範囲】

【請求項1】 第1の膜厚を有する第1のゲート絶縁膜を備えて形成されたメモリセルアレイと、

前記第1のゲート絶縁膜よりも厚い、第2の膜厚を有する第2のゲート絶縁膜を備えて形成された高耐圧系トランジスタ部と、

前記第2のゲート絶縁膜を備えて形成された周辺回路部とを具備したことを特徴とする不揮発性半導体メモリ装置。

【請求項2】 前記周辺回路部はガードリングであり、前記メモリセルアレイが形成されるウェル領域内に配置されていることを特徴とする請求項1に記載の不揮発性半導体メモリ装置。

【請求項3】 前記周辺回路部はガードリングであり、前記メモリセルアレイおよび前記高耐圧系トランジスタ部の相互間に配置されていることを特徴とする請求項1に記載の不揮発性半導体メモリ装置。

【請求項4】 前記ガードリングは、前記高耐圧系トランジスタ部に隣接して配置されていることを特徴とする請求項3に記載の不揮発性半導体メモリ装置。

【請求項5】 前記周辺回路部は、前記高耐圧系トランジスタ部の周辺に配置されたダミーパターンであることを特徴とする請求項1に記載の不揮発性半導体メモリ装置。

【請求項6】 前記高耐圧系トランジスタ部は、ロウデコーダ回路を構成することを特徴とする請求項1に記載の不揮発性半導体メモリ装置。

【請求項7】 前記第2のゲート絶縁膜は、基板の表面部に埋設されていることを特徴とする請求項1に記載の不揮発性半導体メモリ装置。

【請求項8】 基板上に、第1の膜厚を有する第1のゲート絶縁膜、第1のゲート電極膜および第1のマスク絶縁膜を順に堆積する工程と、

前記第1のゲート絶縁膜、前記第1のゲート電極膜および前記第1のマスク絶縁膜を、アレイ領域にのみ残存させる工程と、

前記アレイ領域を除く、周辺領域の一方の領域には、前記第1のゲート絶縁膜よりも厚い第2の膜厚を有する第2のゲート絶縁膜を、前記周辺領域の他方の領域には、前記第1のゲート絶縁膜と同じ第1の膜厚を有する第3のゲート絶縁膜を、それぞれ作り分ける工程と、

前記第1のマスク絶縁膜、前記第2のゲート絶縁膜および前記第3のゲート絶縁膜上に、それぞれ、第2のゲート電極膜および前記第1のマスク絶縁膜よりも厚い第2のマスク絶縁膜を順に堆積する工程と、

前記第1のマスク絶縁膜上の、前記第2のマスク絶縁膜および前記第2のゲート電極膜を剥離する工程と、

前記アレイ領域および前記周辺領域の各領域の相互間にそれぞれ対応する、前記基板の表面部に素子分離用の溝を形成する工程と、

全面に、埋め込み絶縁膜を堆積する工程と、

前記埋め込み絶縁膜の上面を研磨して平坦化する工程と

を備えてなることを特徴とする不揮発性半導体メモリ装置の製造方法。

【請求項9】 前記埋め込み絶縁膜の平坦化には、化学的機械研磨（CMP）法が用いられることを特徴とする請求項8に記載の不揮発性半導体メモリ装置の製造方法。

【請求項10】 前記周辺領域の一方の領域には、高耐圧系トランジスタ部を含むロウデコーダ回路が、前記周辺領域の他方の領域には、ガードリングやダミーパターンを含む周辺回路部が、それぞれ形成されることを特徴とする請求項8に記載の不揮発性半導体メモリ装置の製造方法。

【請求項11】 基板上に、第1の膜厚を有する第1のゲート絶縁膜、第1のゲート電極膜および第1のマスク絶縁膜を順に堆積する工程と、

前記第1のゲート絶縁膜、前記第1のゲート電極膜および前記第1のマスク絶縁膜を、アレイ領域にのみ残存させる工程と、

前記アレイ領域を除く、周辺領域には、前記第1のゲート絶縁膜よりも厚い第2の膜厚を有する第2のゲート絶縁膜を形成する工程と、

前記第1のマスク絶縁膜および前記第2のゲート絶縁膜上に、それぞれ、前記第1のゲート電極膜よりも薄い第2のゲート電極膜および第2のマスク絶縁膜を

順に堆積する工程と、

前記第1のマスク絶縁膜上の、前記第2のマスク絶縁膜および前記第2のゲート電極膜を剥離する工程と、

前記アレイ領域および前記周辺領域の相互間にそれぞれ対応する、前記基板の表面部に素子分離用の溝を形成する工程と、

全面に、埋め込み絶縁膜を堆積する工程と、

前記埋め込み絶縁膜の上面を研磨して平坦化する工程と

を備えてなることを特徴とする不揮発性半導体メモリ装置の製造方法。

【請求項12】 前記埋め込み絶縁膜の平坦化には、化学的機械研磨（CMP）法が用いられることを特徴とする請求項11に記載の不揮発性半導体メモリ装置の製造方法。

【請求項13】 前記第2のマスク絶縁膜は、前記第1のマスク絶縁膜とほぼ同じ高さを有して形成されることを特徴とする請求項11に記載の不揮発性半導体メモリ装置の製造方法。

【請求項14】 前記周辺領域には、高耐圧系トランジスタ部を含むロウデコーダ回路が形成されることを特徴とする請求項11に記載の不揮発性半導体メモリ装置の製造方法。

【請求項15】 基板上の周辺領域に対し、あらかじめ段差凹部を形成する工程と、

前記段差凹部内に、第1の膜厚を有する第1のゲート絶縁膜を形成する工程と

前記基板上のアレイ領域に、前記第1のゲート絶縁膜よりも薄い第2の膜厚を有する第2のゲート絶縁膜を形成する工程と、

前記第1、第2のゲート絶縁膜上に、それぞれ、第1、第2のゲート電極膜および第1、第2のマスク絶縁膜を順に堆積する工程と、

前記アレイ領域および前記周辺領域の相互間にそれぞれ対応する、前記基板の表面部に素子分離用の溝を形成する工程と、

全面に、埋め込み絶縁膜を堆積する工程と、

前記埋め込み絶縁膜の上面を研磨して平坦化する工程と

を備えてなることを特徴とする不揮発性半導体メモリ装置の製造方法。

【請求項 16】 前記段差凹部は、前記第 1 のゲート絶縁膜の膜厚に一致することを特徴とする請求項 15 に記載の不揮発性半導体メモリ装置の製造方法。

【請求項 17】 前記第 1, 第 2 のゲート電極膜および前記第 1, 第 2 のマスク絶縁膜は、それぞれ、ほぼ同じ膜厚を有して形成されることを特徴とする請求項 15 に記載の不揮発性半導体メモリ装置の製造方法。

【請求項 18】 前記周辺領域には、高耐圧系トランジスタ部を含むロウデコーダ回路が構成されることを特徴とする請求項 15 に記載の不揮発性半導体メモリ装置の製造方法。

【請求項 19】 前記埋め込み絶縁膜の平坦化には、化学的機械研磨 (CMP) 法が用いられることを特徴とする請求項 15 に記載の不揮発性半導体メモリ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、不揮発性半導体メモリ装置およびその製造方法に関するもので、特に、浮遊ゲート電極を有するとともに、周辺部とセル部とで二種類以上の厚さの異なるゲート酸化膜を有するゲート先作り（または、ゲート酸化膜先作りとも言う）の NAND 型フラッシュ (Flash) メモリに関する。

【0002】

【従来の技術】

近年、トレンチ構造を採用し、かつ、膜厚の異なる複数のゲート酸化膜を有して、ゲート先作りプロセスにより形成される NAND 型 Flash メモリが開発されている。

【0003】

しかしながら、この NAND 型 Flash メモリの場合、たとえば図 5 (a) に示すように、セル部 (セル/Vcc 系) 101 と Vpp 部 (Vpp 系) 102 とで、シリコン (Si) 基板 103 上のゲート酸化膜 101a, 102a の膜厚が異なる。そのため、ゲート電極 101b, 102b 上の、SiN 膜 (ストッパ

—SiN膜) 101c, 102cの上面に段差aが生じる。

【0004】

この段差aは、たとえば図5(b)に示すように、STI(Shallow Trench Isolation)の形成において、SiN膜101c, 102cをストッパーとして埋め込み絶縁膜104の上面をCMP(Chemical Mechanical Polishing)処理した際に、Vpp部102のSiN膜102cの膜厚を、セル部101のSiN膜101cの膜厚よりも減少させる原因となる。SiN膜102cの膜厚の減少は、ゲート酸化膜102aまでの距離(h)を縮める結果となる。これにより、ゲート酸化膜102aは、CMP処理後のエッチング処理(たとえば、ウェット処理)によるダメージを受けやすくなるため、ゲートリークなどの不良を招く場合がある。

【0005】

特に、このNAND型Flashメモリは、たとえば図6に示すように、上記セル部101に相当するセルアレイ領域(Cell Array)110に隣接した周辺領域(Vpp部102に相当)に、高耐圧系のロウデコーダ回路111が存在する。このロウデコーダ回路111は、通常、Vpp系のゲート酸化膜(Vpp酸化膜)102aを用いて形成されている。つまり、NAND型Flashメモリのロウデコーダ回路111には、高耐圧系のトランジスタが存在する。

【0006】

これに対し、上記セルアレイ領域110、このセルアレイ領域110と上記ロウデコーダ回路111との間に存在するガードリング112、および、上記ロウデコーダ回路111の周辺のダミーAAパターン113の形成には、一般に、Vcc系のゲート酸化膜(Vcc酸化膜)101aが用いられる。そのため、STIの形成において、埋め込み絶縁膜104をCMP処理する際に、SiN膜101cに比べて、ロウデコーダ回路111のSiN膜102cが大きく減少し、これが上記した不良を発生させる原因となっている。

【0007】

【発明が解決しようとする課題】

上記したように、従来においては、ゲート先作りプロセスによって膜厚の異な

る複数のゲート酸化膜を有するNAND型Flashメモリを容易に実現できるものの、STIを形成する際のCMP処理において、ロウデコーダ回路のストッパSiN膜が大きく減少されることにより、その下のゲート酸化膜がダメージを受けやすくなるため、ゲートリークなどの不良を招くという問題があった。

【0008】

そこで、この発明は、高耐圧系トランジスタ部のゲート酸化膜がダメージを受けやすくなるのを抑制でき、ゲートリークなどの不良の発生を防止することが可能な不揮発性半導体メモリ装置およびその製造方法を提供することを目的としている。

【0009】

【課題を解決するための手段】

上記の目的を達成するために、この発明の不揮発性半導体メモリ装置にあっては、第1の膜厚を有する第1のゲート絶縁膜を備えて形成されたメモリセルアレイと、前記第1のゲート絶縁膜よりも厚い、第2の膜厚を有する第2のゲート絶縁膜を備えて形成された高耐圧系トランジスタ部と、前記第2のゲート絶縁膜を備えて形成された周辺回路部とを具備したことを特徴とする。

【0010】

また、この発明の不揮発性半導体メモリ装置の製造方法にあっては、基板上に、第1の膜厚を有する第1のゲート絶縁膜、第1のゲート電極膜および第1のマスク絶縁膜を順に堆積する工程と、前記第1のゲート絶縁膜、前記第1のゲート電極膜および前記第1のマスク絶縁膜を、アレイ領域にのみ残存させる工程と、前記アレイ領域を除く、周辺領域の一方の領域には、前記第1のゲート絶縁膜よりも厚い第2の膜厚を有する第2のゲート絶縁膜を、前記周辺領域の他方の領域には、前記第1のゲート絶縁膜と同じ第1の膜厚を有する第3のゲート絶縁膜を、それぞれ作り分ける工程と、前記第1のマスク絶縁膜、前記第2のゲート絶縁膜および前記第3のゲート絶縁膜上に、それぞれ、第2のゲート電極膜および前記第1のマスク絶縁膜よりも厚い第2のマスク絶縁膜を順に堆積する工程と、前記第1のマスク絶縁膜上の、前記第2のマスク絶縁膜および前記第2のゲート電極膜を剥離する工程と、前記アレイ領域および前記周辺領域の各領域の相互間に

それぞれ対応する、前記基板の表面部に素子分離用の溝を形成する工程と、全面に、埋め込み絶縁膜を堆積する工程と、前記埋め込み絶縁膜の上面を研磨して平坦化する工程とを備えてなることを特徴とする。

【0011】

また、この発明の不揮発性半導体メモリ装置の製造方法にあつては、基板上に、第1の膜厚を有する第1のゲート絶縁膜、第1のゲート電極膜および第1のマスク絶縁膜を順に堆積する工程と、前記第1のゲート絶縁膜、前記第1のゲート電極膜および前記第1のマスク絶縁膜を、アレイ領域にのみ残存させる工程と、前記アレイ領域を除く、周辺領域には、前記第1のゲート絶縁膜よりも厚い第2の膜厚を有する第2のゲート絶縁膜を形成する工程と、前記第1のマスク絶縁膜および前記第2のゲート絶縁膜上に、それぞれ、前記第1のゲート電極膜よりも薄い第2のゲート電極膜および第2のマスク絶縁膜を順に堆積する工程と、前記第1のマスク絶縁膜上の、前記第2のマスク絶縁膜および前記第2のゲート電極膜を剥離する工程と、前記アレイ領域および前記周辺領域の相互間にそれぞれ対応する、前記基板の表面部に素子分離用の溝を形成する工程と、全面に、埋め込み絶縁膜を堆積する工程と、前記埋め込み絶縁膜の上面を研磨して平坦化する工程とを備えてなることを特徴とする。

【0012】

さらに、この発明の不揮発性半導体メモリ装置の製造方法にあつては、基板上の周辺領域に対し、あらかじめ段差凹部を形成する工程と、前記段差凹部内に、第1の膜厚を有する第1のゲート絶縁膜を形成する工程と、前記基板上的アレイ領域に、前記第1のゲート絶縁膜よりも薄い第2の膜厚を有する第2のゲート絶縁膜を形成する工程と、前記第1、第2のゲート絶縁膜上に、それぞれ、第1、第2のゲート電極膜および第1、第2のマスク絶縁膜を順に堆積する工程と、前記アレイ領域および前記周辺領域の相互間にそれぞれ対応する、前記基板の表面部に素子分離用の溝を形成する工程と、全面に、埋め込み絶縁膜を堆積する工程と、前記埋め込み絶縁膜の上面を研磨して平坦化する工程とを備えてなることを特徴とする。

【0013】

この発明の不揮発性半導体メモリ装置によれば、メモリセルアレイと高耐圧系トランジスタ部との間の、ストッパーSiN膜の上面でのグローバル段差を小さくできるようになる。これにより、CMP処理によって高耐圧系トランジスタ部のストッパーSiN膜が大きく減少されるのを防ぐことができ、CMP処理のマージンを向上させることが可能となるものである。

【0014】

また、この発明の不揮発性半導体メモリ装置の製造方法によれば、STIを形成する際のCMP処理でのストッパーとなるSiN膜をセル部と周辺部(Vpp部)とで作り分けできるようになる。これにより、周辺部のSiN膜の膜厚をセル部よりも厚く形成することが容易に可能となり、CMP処理のマージンを向上できるようになるものである。

【0015】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

【0016】

(第1の実施形態)

図1は、本発明の第1の実施形態にかかる、ゲート先作り（または、ゲート酸化膜先作り）プロセスにより形成されたNAND型Flashメモリの構成例を示すものである。なお、同図(a)は要部を示す平面図であり、同図(b)は図(a)のb-b線にほぼ対応する断面構造を示す拡大図である。

【0017】

このNAND型Flashメモリの場合、Si基板11上のアレイ領域には、セルアレイ(Cell Array)21が形成されている。また、このセルアレイ21に隣接した周辺領域には、高耐圧系のロウデコーダ回路（高耐圧系トランジスタ部）31が形成されている。また、上記セルアレイ21と上記ロウデコーダ回路31との間には、周辺回路部としてのガードリング41が形成されている。さらに、上記周辺領域には、上記ロウデコーダ回路31に隣接して、上記ロウデコーダ回路31の周辺のダミーAAパターン（周辺回路部）51が形成されている。

【0018】

上記セルアレイ21は、たとえば、上記Si基板11の表面部に、N-ウェル領域(Cell Nwell)21Aが形成され、さらに、このN-ウェル領域21A内にP-ウェル領域(Cell Pwell)21Bが形成されている。そして、そのP-ウェル領域21Bの表面部に、第1の膜厚を有する第1のゲート絶縁膜であるVcc系のゲート酸化膜(Vcc酸化膜)21aを介して、ポリゲート電極(第1のゲート電極膜)21bおよびCMP処理でのストッパーとなるSiN膜(第1のマスク絶縁膜)21cが積層されて、複数のメモリセル(図示していない)が形成されるようになっている。

【0019】

これに対し、上記ロウデコーダ回路31、上記ガードリング41および上記ダミーAAパターン51は、それぞれ、上記ゲート酸化膜21aよりも厚い、第2の膜厚を有する第2のゲート絶縁膜である高耐圧系(Vpp系)のゲート酸化膜(Vpp酸化膜)31a, 41a, 51aを用いて形成されている。

【0020】

すなわち、上記ロウデコーダ回路31は、たとえば、上記Si基板11の表面部に、Vpp酸化膜31aを介して、ポリゲート電極(第2のゲート電極膜)31bおよびCMP処理でのストッパーとなるSiN膜(第2のマスク絶縁膜)31cが積層されて、高耐圧系トランジスタ(図示していない)が形成されるようになっている。

【0021】

上記ガードリング41は、たとえば、上記各ウェル領域21A, 21Bの表面部およびN-ウェル領域(NW)41Aの表面部に、それぞれ、Vpp酸化膜41aを介して、ポリゲート電極(第2のゲート電極膜)41bおよびCMP処理でのストッパーとなるSiN膜(第2のマスク絶縁膜)41cが積層されて形成されるようになっている。

【0022】

上記ダミーAAパターン51は、たとえば、上記Si基板11の表面部に、Vpp酸化膜51aを介して、ポリゲート電極(第2のゲート電極膜)51bおよ

びCMP処理でのストッパーとなるSiN膜（第2のマスク絶縁膜）51cが積層されて形成されるようになっている。

【0023】

そして、各領域（21，41，31，51）の相互間には、それぞれ、絶縁膜を埋め込んでなるSTI構造の分離領域12が形成されている。

【0024】

このように、従来はVcc系の酸化膜を用いて形成されていたガードリングおよびロウデコーダ回路の周辺のダミーパターンを、高耐圧系の酸化膜領域内に形成するようにしている。

【0025】

すなわち、ガードリング41およびダミーAAパターン51を、Vpp系の酸化膜41a，51aを用いて形成するようにしている。これにより、ロウデコーダ回路31の高耐圧系トランジスタ周りの、ストッパーSiN膜31cの上面の段差（図5中にaで示すグローバル段差）を解消できるようになる。その結果、SiN膜31cが大きく減少するのを防いで、Vpp酸化膜31aまでの距離（h）を十分に確保することが可能となる。

【0026】

つまり、このような構成とした場合、少なくともガードリング41とロウデコーダ回路31との間、および、ロウデコーダ回路31とダミーAAパターン51との間において、SiN膜31cの残膜だけが大きく減少するのを回避できる。したがって、従来の、NAND型Flashメモリはロウデコーダ部に高耐圧系トランジスタを有するするため、ゲート先作りプロセスを用いた場合には、CMP処理のマージンを下げるという不具合を改善することが可能となる。よって、ロウデコーダ回路31のVpp酸化膜31aがダメージを受けやすくなるのを抑制でき、ゲートリークなどの不良の発生を防止し得るようになるものである。

【0027】

（第2の実施形態）

図2は、本発明の第2の実施形態にかかる、ゲート先作り（または、ゲート酸化膜先作り）プロセスにより形成されるNAND型Flashメモリの製造方法

を示すものである。

【0028】

まず、たとえば図2(a)に示すように、Si基板11上のアレイ領域(セル部)に、第1の膜厚を有するVcc酸化膜(第1のゲート絶縁膜)21a、ポリゲート電極(第1のゲート電極膜)21b、および、ストッパーSiN膜(第1のマスク絶縁膜)21cをそれぞれ形成するために、上記Si基板11上に各種の材料を堆積させる。その後、パターニング処理を行って、アレイ領域以外の、周辺領域(Vpp系/Vcc系)に形成された上記Vcc酸化膜21a、上記ポリゲート電極21bおよび上記ストッパーSiN膜21cをそれぞれ剥離し、周辺領域のSi基板11を露出させる。

【0029】

続いて、たとえば図2(b)に示すように、Si基板11上の周辺領域の一方の領域(Vpp系)には、上記Vcc酸化膜21aよりも厚い、第2の膜厚を有するVpp酸化膜(第2のゲート絶縁膜)31aを、また、周辺領域の他方の領域(Vcc系)には、上記Vcc酸化膜21aと同じ、第1の膜厚を有するVcc酸化膜(第3のゲート絶縁膜)41a'、51a'を、それぞれ形成する。

【0030】

その後、上記ストッパーSiN膜21c、上記Vpp酸化膜31aおよび上記Vcc酸化膜41a'、51a'上に、それぞれ、ポリゲート電極材61bおよびストッパーSiN膜材61cを順に堆積する。

【0031】

この際、ストッパーSiN膜材61cの膜厚は、上記ストッパーSiN膜21cよりも厚いものとする。

【0032】

続いて、たとえば図2(c)に示すように、セル部の、上記ストッパーSiN膜21c上に形成された、上記ポリゲート電極材61bおよび上記ストッパーSiN膜材61cを剥離する。これにより、Vpp系の領域の、上記Vpp酸化膜31a上には、ポリゲート電極(第2のゲート電極膜)31bおよびストッパーSiN膜(第2のマスク絶縁膜)31cが、また、Vcc系の領域の、上記Vcc

c酸化膜41a' , 51a' 上には、ポリゲート電極（第2のゲート電極膜）41b, 51bおよびストッパーSiN膜（第2のマスク絶縁膜）41c, 51cが、それぞれ積層される。

【0033】

この後、たとえば図2（d）に示すように、セル部および周辺領域のVpp系/Vcc系の各領域の相互間にそれぞれ対応する、上記Si基板11の表面部に素子分離用の溝71を形成する（STI加工）。そして、埋め込み絶縁膜72を堆積させ、CMP処理による平坦化を行って、STI構造の分離領域12の形成が行われる。

【0034】

しかる後、上記セル部に対してはメモリセルの、上記Vpp系の領域に対してはロウデコーダ回路（高耐圧系トランジスタ）の、上記Vcc系の領域に対してはガードリングおよびダミーAAパターンの形成（いずれも図示していない）がそれぞれに行われて、NAND型Flashメモリが実現される。

【0035】

この実施形態の場合、周辺領域（Vcc系、Vpp系）のSiN膜材61c（31c, 41c, 51c）の膜厚を、セル部のSiN膜21cの膜厚に比べ、厚くなるように形成する。これにより、CMP処理でのSiN膜31cの膜厚の減少を防ぐことができ、Vpp酸化膜31aまでの距離h1およびVcc酸化膜41a' , 51a' までの距離h2を十分に大きくとることが可能となる。したがって、CMP処理後の工程によるゲート酸化膜（Vpp酸化膜31a）へのダメージを防止でき、結果として、CMP処理でのマージンを大きくすることが可能となるものである。

【0036】

このように、STIのためのCMP処理でのストッパーとなるSiN膜の膜厚を、セル部と周辺領域とで作り分けることができるようにする、つまり、Vpp系の領域のSiN膜の膜厚をセル部よりも厚く形成できるようにすることで、工程的に高耐圧系トランジスタのSiN膜の残膜厚を増やすことが可能となって、CMP処理のマージンを向上し得るものである。

【0037】

しかも、この第2の実施形態によれば、上述した第1の実施形態の場合のように、Vcc系の領域に形成されるガードリング41およびダミーAAパターン51の、そのVcc酸化膜41a'、51a'の膜厚を、わざわざ、Vpp酸化膜31aと同じ膜厚にする必要がない。

【0038】

(第3の実施形態)

図3は、本発明の第3の実施形態にかかる、ゲート先作り（または、ゲート酸化膜先作り）プロセスにより形成されるNAND型Flashメモリの製造方法を示すものである。ここでは、セルアレイが形成されるセル部とガードリングおよびダミーAAパターンが形成されるVcc系の領域とを同一の構成とした場合について説明する。

【0039】

まず、たとえば図3(a)に示すように、Si基板11上のアレイ領域（セル部）とVcc系の領域とに、第1の膜厚を有するVcc酸化膜（第1のゲート絶縁膜）21a、41a'、51a'、ポリゲート電極（第1のゲート電極膜）21b、41b、51b、および、ストッパーSiN膜（第1のマスク絶縁膜）21c、41c、51cをそれぞれ形成するために、上記Si基板11上に各種の材料を堆積させる。その後、パターニング処理を行って、アレイ領域およびVcc系の領域以外の、周辺領域のVpp系の領域に形成された上記Vcc酸化膜21a、41a'、51a'、上記ポリゲート電極21b、41b、51bおよび上記ストッパーSiN膜21c、41c、51cをそれぞれ剥離し、Vpp系の領域のSi基板11を露出させる。

【0040】

続いて、たとえば図3(b)に示すように、Si基板11上のVpp系の領域に、上記Vcc酸化膜21aよりも厚い、第2の膜厚を有するVpp酸化膜（第2のゲート絶縁膜）31aを形成する。

【0041】

その後、上記ストッパーSiN膜21c、41c、51cおよび上記Vpp酸

化膜 31a 上に、それぞれ、ポリゲート電極材 61b およびストッパー SiN 膜材 61c を順に堆積する。

【0042】

この際、ポリゲート電極材 61b の膜厚は、上記ポリゲート電極 21b, 41b, 51b よりも薄いものとする。また、上記ストッパー SiN 膜 21c, 41c, 51c の上面とほぼ同じ高さとなるように、上記ストッパー SiN 膜材 61c を堆積させる。

【0043】

続いて、たとえば図 3 (c) に示すように、セル部および Vcc 系の領域の、上記ストッパー SiN 膜 21c, 41c, 51c 上に形成された、上記ポリゲート電極材 61b および上記ストッパー SiN 膜材 61c を剥離する。これにより、Vpp 系の領域の、上記 Vpp 酸化膜 31a 上には、ポリゲート電極（第 2 のゲート電極膜）31b およびストッパー SiN 膜（第 2 のマスク絶縁膜）31c が積層される。

【0044】

この後、たとえば図 3 (d) に示すように、セル部および Vpp 系/Vcc 系の各領域の相互間にそれぞれ対応する、上記 Si 基板 11 の表面部に素子分離用の溝 71 を形成する (STI 加工)。そして、埋め込み絶縁膜 72 を堆積させ、CMP 処理による平坦化を行って、STI 構造の分離領域 12 の形成が行われる。

【0045】

しかる後、上記セル部に対してはメモリセルの、上記 Vpp 系の領域に対してはロウデコーダ回路（高耐圧系トランジスタ）の、上記 Vcc 系の領域に対してはガードリングおよびダミー AA パターンの形成（いずれも図示していない）がそれぞれに行われて、NAND 型 Flash メモリが実現される。

【0046】

この実施形態の場合、ロウデコーダ回路（高耐圧系トランジスタ部）のストッパー SiN 膜 31c の上面とセル部のストッパー SiN 膜 21c の上面とを、ほぼ同一の高さに揃えて形成することが容易に可能となる。これにより、CMP 処

理でのSiN膜31cの膜厚の減少を防ぐことができ、Vpp酸化膜31aまでの距離を十分に大きくとることが可能となる。したがって、CMP処理後の工程によるゲート酸化膜（Vpp酸化膜31a）へのダメージを防止でき、結果として、CMPの処理でのマージンを大きくすることが可能となるものである。

【0047】

このように、STIのためのCMP処理でのストッパーとなるSiN膜の膜厚を、セル部とVpp系の領域とで作り分けることができるようにする、つまり、Vpp系の領域のSiN膜の上面の高さをセル部のSiN膜の上面の高さに揃えて形成できるようにすることで、工程的に高耐圧系トランジスタのSiN膜の残膜厚を増やすことが可能となっており、CMP処理のマージンを向上し得るものである。

【0048】

また、この第3の実施形態の場合も、上述した第2の実施形態の場合と同様に、Vpp酸化膜31aだけを、Vcc酸化膜41a'、51a'の膜厚よりも厚く形成できる。

【0049】

(第4の実施形態)

図4は、本発明の第4の実施形態にかかる、ゲート先作り（または、ゲート酸化膜先作り）プロセスにより形成されるNAND型Flashメモリの製造方法を示すものである。ここでは、セルアレイが形成されるセル部とガードリングおよびダミーAAパターンが形成されるVcc系の領域とを同一の構成とした場合について説明する。

【0050】

まず、たとえば図4(a)に示すように、PEP(Photo Engraving Process)およびドライエッチングの技術を用いて、Si基板11の表面をエッチングする。これにより、Si基板11の表面の、Vpp系の領域に凹部81を形成し、セル部およびVcc系の領域よりも表面の高さを低くする。

【0051】

この際、上記凹部 81 の深さは、そこに形成される Vpp 酸化膜の厚さとほぼ同一とされる。

【0052】

続いて、たとえば図 4 (b) に示すように、上記 Si 基板 11 上の Vpp 系の領域に形成された上記凹部 81 内に、第 1 の膜厚を有する Vpp 酸化膜 (第 1 のゲート絶縁膜) 31a を形成する。

【0053】

また、上記 Si 基板 11 上のアレイ領域 (セル部) および Vcc 系の領域に、上記 Vpp 酸化膜 31a よりも薄い、第 2 の膜厚を有する Vcc 酸化膜 (第 2 のゲート絶縁膜) 21a, 41a', 51a' を形成する。

【0054】

その後、上記 Vcc 酸化膜 21a, 41a', 51a' および上記 Vpp 酸化膜 31a 上に、それぞれ、ポリゲート電極材 61b およびストッパー SiN 膜材 61c を順に堆積する。

【0055】

これにより、セル部および Vcc 系の領域の、上記 Vcc 酸化膜 21a, 41a', 51a' 上には、ポリゲート電極 (第 2 のゲート電極膜) 21b, 41b, 51b およびストッパー SiN 膜 (第 2 のマスク絶縁膜) 21c, 41c, 51c が積層される。また、Vpp 系の領域の、上記 Vpp 酸化膜 31a 上には、ポリゲート電極 (第 1 のゲート電極膜) 31b およびストッパー SiN 膜 (第 1 のマスク絶縁膜) 31c が積層される。

【0056】

この場合、Vpp 酸化膜 31a を凹部 81 に形成することにより、上記ストッパー SiN 膜 31c の上面の高さを、上記ストッパー SiN 膜 21c, 41c, 51c の上面の高さにほぼ一致させることができる。

【0057】

続いて、たとえば図 4 (c) に示すように、セル部/Vcc 系および Vpp 系の各領域の相互間にそれぞれ対応する、上記 Si 基板 11 の表面部に素子分離用の溝 71 を形成する (STI 加工)。そして、埋め込み絶縁膜 72 を堆積させ、

CMP処理による平坦化を行って、STI構造の分離領域12の形成が行われる。

【0058】

しかる後、上記セル部に対してはメモリセルの、上記Vpp系の領域に対してはロウデコーダ回路（高耐圧系トランジスタ）の、上記Vcc系の領域に対してはガードリングおよびダミーAAパターンの形成（いずれも図示していない）がそれぞれに行われて、NAND型Flashメモリが実現される。

【0059】

この実施形態の場合、Vpp系の領域の、Si基板11の表面の位置が、Vpp酸化膜31aの膜厚の分だけ、セル部よりも下げられている。このため、SiN膜31cの上面の高さを、セル部におけるSiN膜21cの上面の高さに一致させることが容易に可能となる。これにより、CMP処理でのSiN膜31cの膜厚の減少を防ぐことができ、Vpp酸化膜31aまでの距離を十分に大きくとることが可能となる。したがって、CMP処理後の工程によるゲート酸化膜（Vpp酸化膜31a）へのダメージを防止でき、結果として、CMP処理でのマージンを大きくすることが可能となるものである。

【0060】

このように、STIのためのCMP処理でのストッパーとなるSiN膜の膜厚を、セル部と周辺領域とで作り分けることができるようにする、つまり、Vpp系の領域のSiN膜をセル部のSiN膜と同じ膜厚により形成できるようにすることで、工程的に高耐圧系トランジスタのSiN膜の残膜厚を増やすことが可能となって、CMP処理のマージンを向上し得るものである。

【0061】

この第4の実施形態の場合も、上述した第2、第3の実施形態の場合と同様に、Vpp酸化膜31aだけを、Vcc酸化膜41a'、51a'の膜厚よりも厚く形成できる。

【0062】

その他、本発明は、上記（各）実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上

記（各）実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、（各）実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題（の少なくとも1つ）が解決でき、発明の効果の欄で述べられている効果（の少なくとも1つ）が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

【0063】

【発明の効果】

以上、詳述したようにこの発明によれば、高耐圧系トランジスタ部のゲート酸化膜がダメージを受けやすくなるのを抑制でき、ゲートリークなどの不良の発生を防止することが可能な不揮発性半導体メモリ装置およびその製造方法を提供できる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態にかかるNAND型Flashメモリの一例を示す構成図。

【図2】

本発明の第2の実施形態にかかるNAND型Flashメモリの製造方法を説明するために示す工程断面図。

【図3】

本発明の第3の実施形態にかかるNAND型Flashメモリの製造方法を説明するために示す工程断面図。

【図4】

本発明の第4の実施形態にかかるNAND型Flashメモリの製造方法を説明するために示す工程断面図。

【図5】

従来技術とその問題点を説明するために示す、NAND型Flashメモリの工程断面図。

【図6】

従来のNAND型Flashメモリの構成例を示す平面図。

【符号の説明】

- 11…Si基板
- 12…STI構造の分離領域
- 21…セルアレイ
- 21A…N-ウェル領域
- 21B…P-ウェル領域
- 21a…Vcc酸化膜
- 21b…ポリゲート電極
- 21c…SiN膜（ストッパーSiN膜）
- 31…高耐圧系のロウデコーダ回路
- 31a…Vpp酸化膜
- 31b…ポリゲート電極
- 31c…SiN膜（ストッパーSiN膜）
- 41…ガードリング
- 41A…N-ウェル領域
- 41a…Vpp酸化膜
- 41a'…Vcc酸化膜
- 41b…ポリゲート電極
- 41c…SiN膜（ストッパーSiN膜）
- 51…ダミーAAパターン
- 51a…Vpp酸化膜
- 51a'…Vcc酸化膜
- 51b…ポリゲート電極
- 51c…SiN膜（ストッパーSiN膜）
- 61b…ポリゲート電極材
- 61c…ストッパーSiN膜材
- 71…素子分離用の溝
- 72…埋め込み絶縁膜

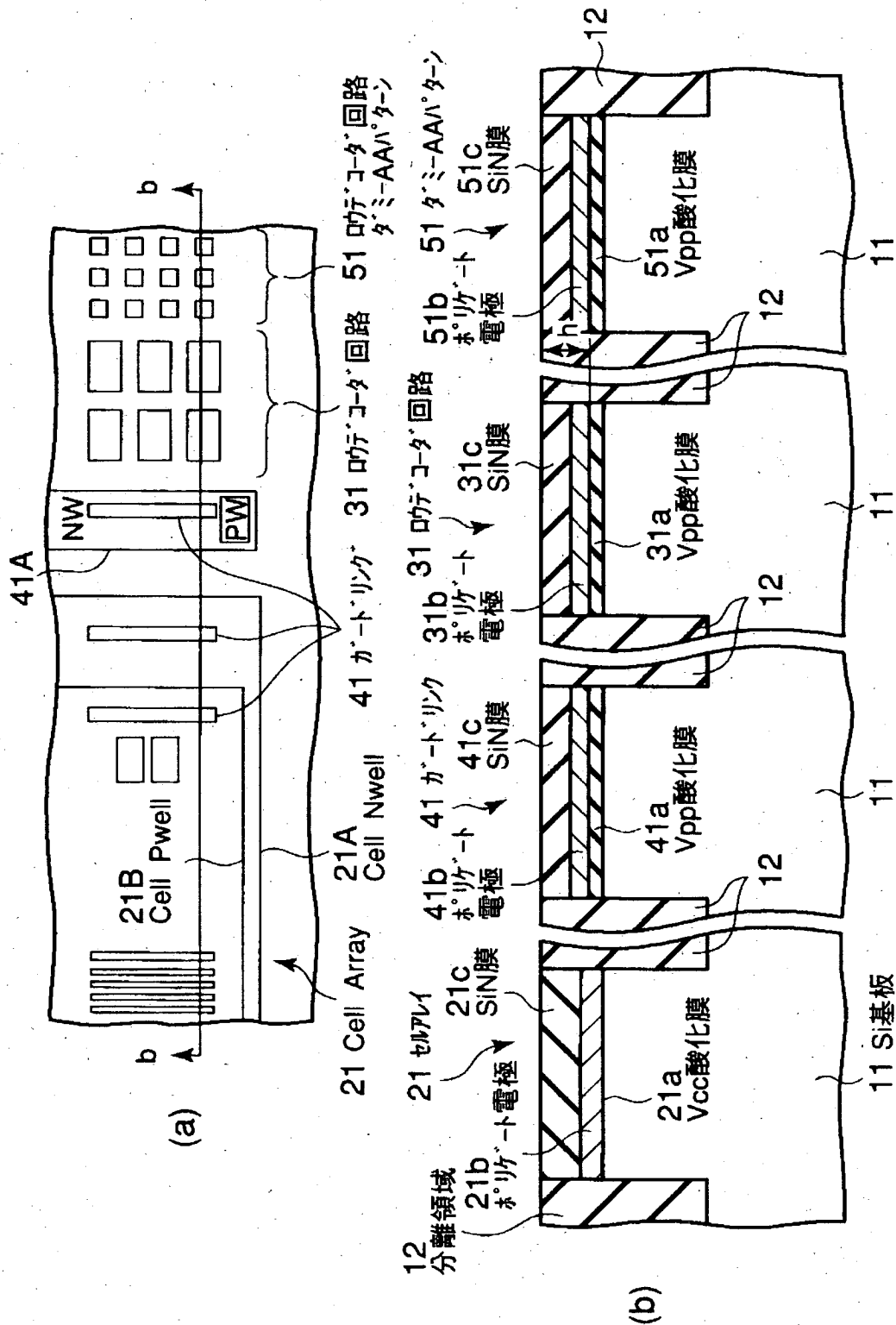
特2002-199915

81…凹部

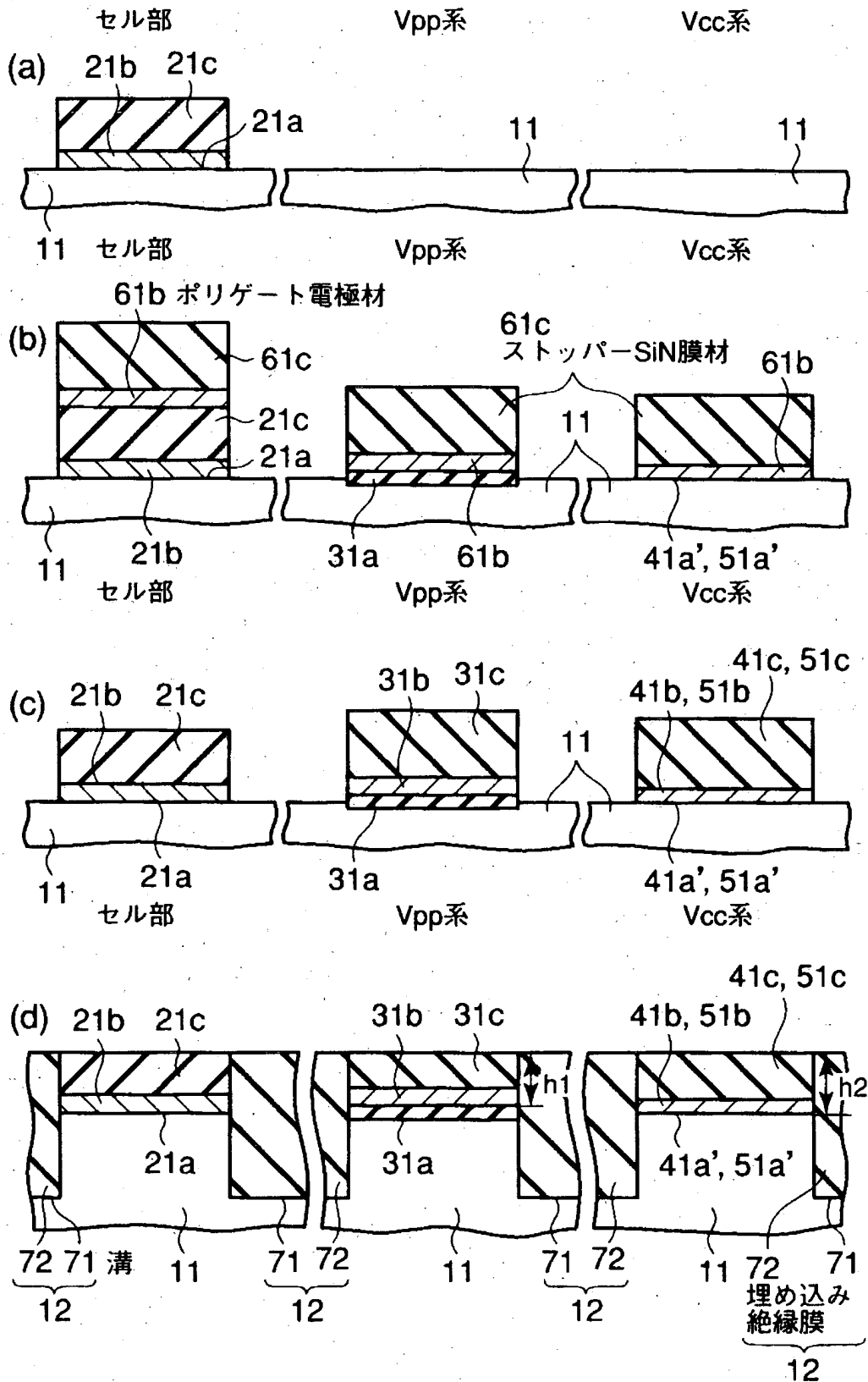
【書類名】

図面

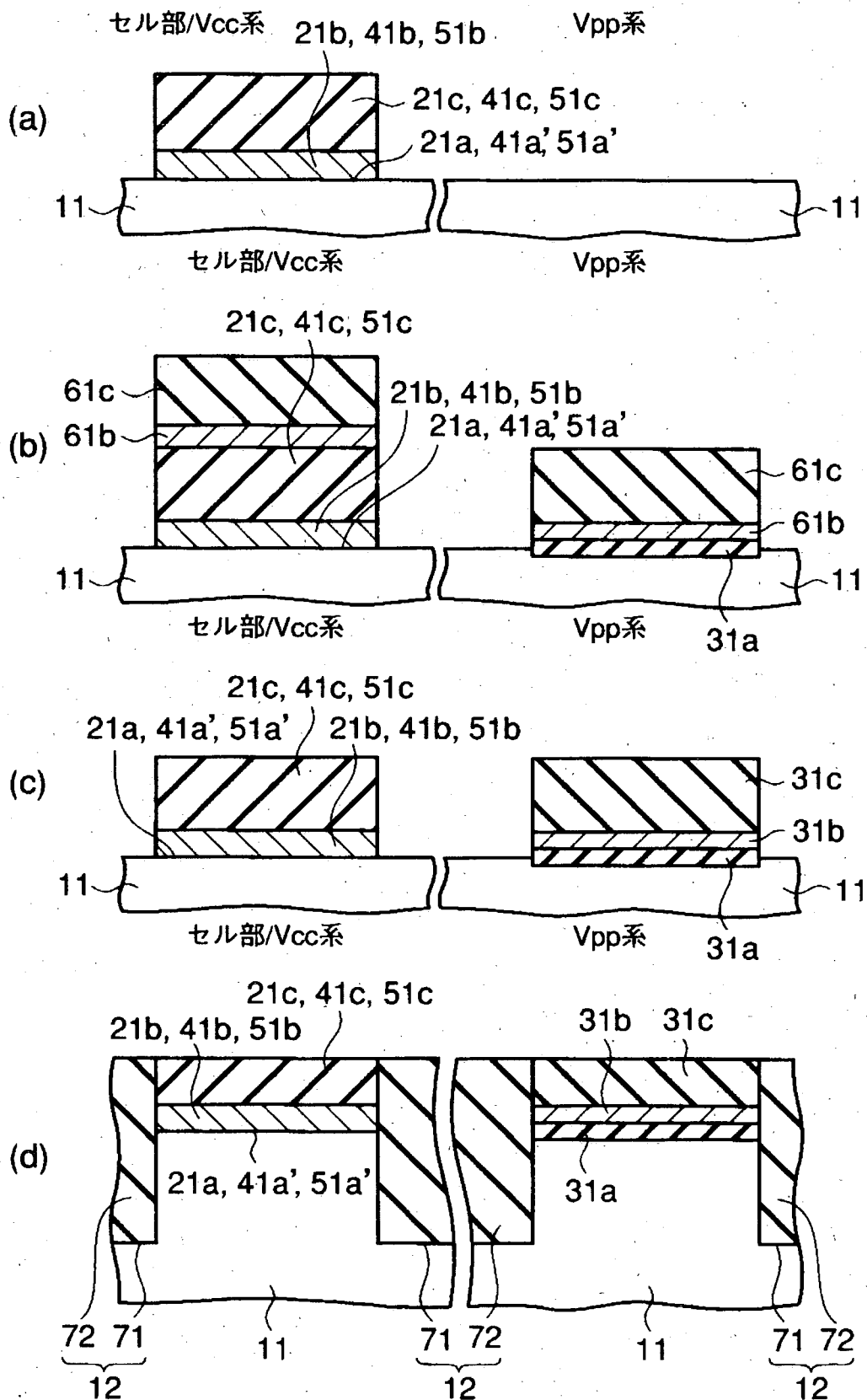
【図1】



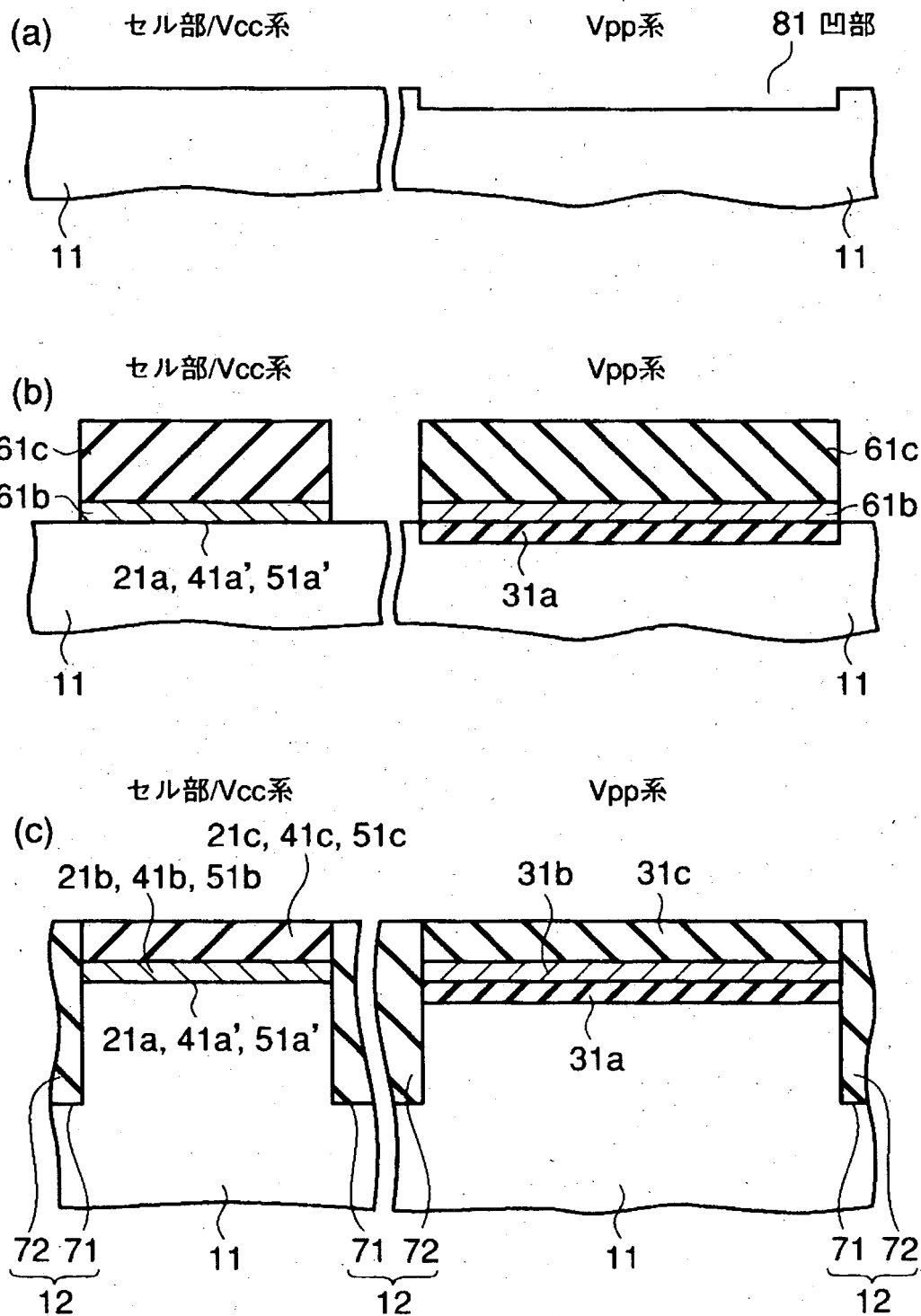
【図 2】



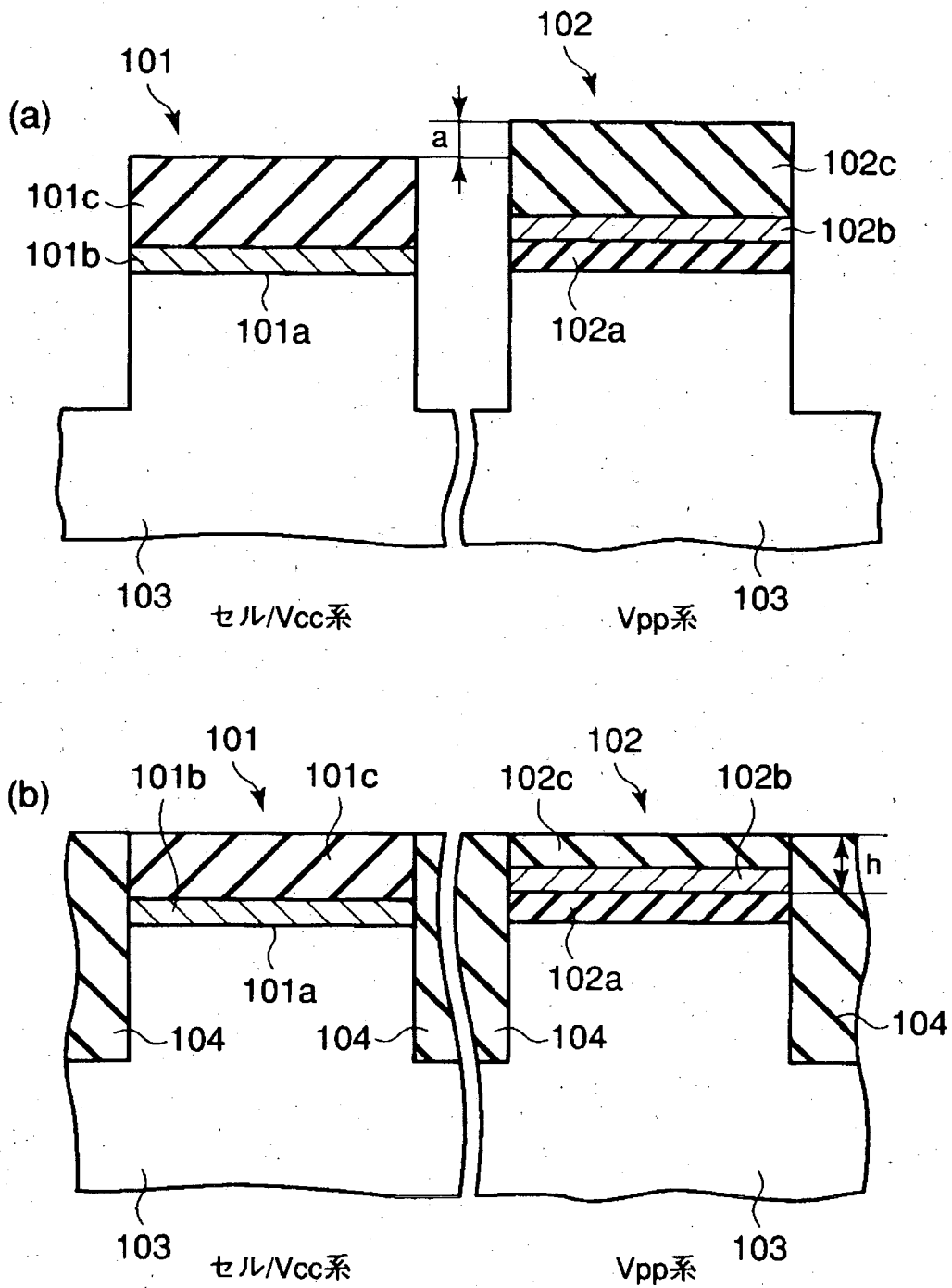
【図 3】



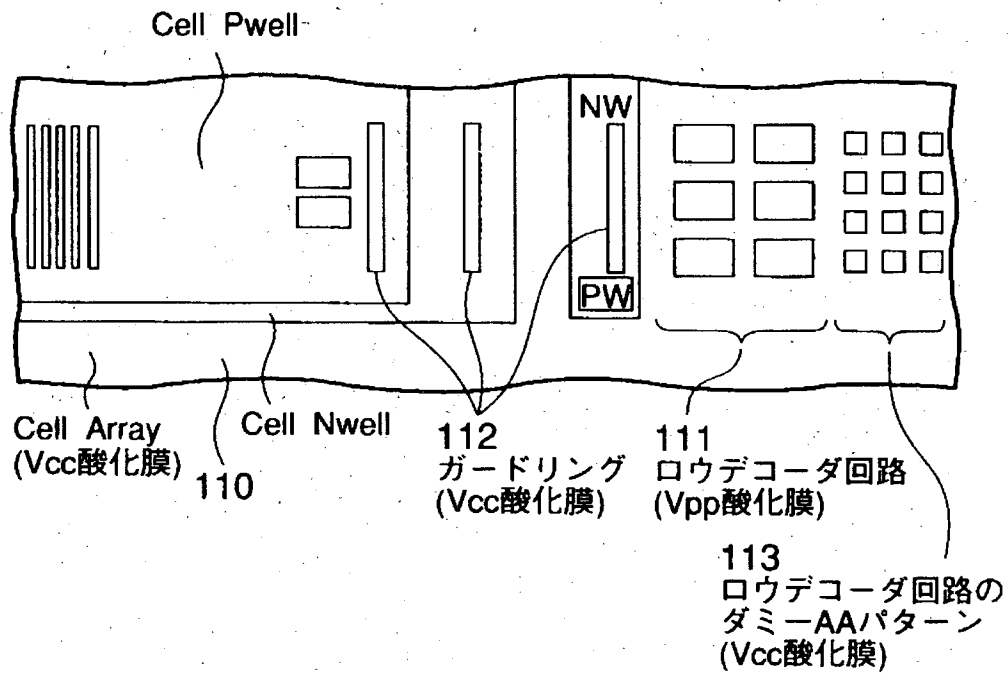
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 本発明は、ゲート先作りのNAND型フラッシュメモリにおいて、STIを形成するためのCMP処理のマージンが低下するのを改善できるようにすることを最も主要な特徴とする。

【解決手段】 たとえば、セルアレイ21は、第1の膜厚を有するVcc酸化膜21aを用いて形成する。このセルアレイ21に隣接するロウデコーダ回路31は、上記Vcc酸化膜21aよりも厚い、第2の膜厚を有するVpp酸化膜31aを用いて形成する。また、上記ロウデコーダ回路31に近接して設けられるガードリング41およびダミーAAパターン51は、上記Vpp酸化膜31aと同じ膜厚の、Vpp酸化膜41a、51aをそれぞれ用いて形成する構成とされている。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝
2. 変更年月日 2003年 5月 9日
[変更理由] 名称変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝